

FPGA et systèmes électroniques associés	Semestre 6	Responsable : Marie COLIN-ZWINGELSTEIN
--	-------------------	---

Objectifs de l'ECUE en termes de compétences et d'acquis d'apprentissage visés

A l'issue de cette UE, l'apprenant aura progressé sur les compétences suivantes du référentiel de la formation :

- BC1.6 : Structurer un discours et/ou un support en faisant preuve de clarté, de pédagogie et de concision
- BC1.8 : Effectuer une recherche documentaire
- BC2.2 : Analyser les contraintes techniques du produit à développer
- BC3.3 : Élaborer et rédiger les spécifications fonctionnelles et celles des composants spécifiques ou d'outils de traitement du signal et logiciel
- BC3.5 : Définir des interfaces fonctionnelles du produit embarqué
- BC4.1 : Modéliser, réaliser les schémas électroniques avec le développement logiciel et simuler les fonctions
- BC4.2 : Réaliser un prototype
- BC4.3 : Réaliser les essais de mise au point et de validation de la conception
- BC4.4 : Interpréter les résultats, rédiger les rapports de tests et corriger les dysfonctionnements
-

Plus précisément, il sera capable de :

- Réaliser un support de présentation d'un projet FPGA de manière concise et pédagogique
- Recherche de documentation technique
- Analyser les contraintes techniques liées à un projet d'implémentation de circuit logique sur FPGA....
- Rédiger des spécifications fonctionnelles de circuit logique.
- Décrire ou définir les interfaces d'un circuit logique.
- Acquérir la méthodologie de conception de circuits électroniques numériques basés sur l'emploi de composants à architecture programmable (FPGA).
Concevoir des circuits synchrones sous forme de machines d'état (simples et de haut niveau) Concevoir un circuit logique qui réalise un algorithme simple, en utilisant une méthodologie de partitionnement hard/soft.
- Mettre en œuvre les principes et les techniques vus en cours magistral, par l'écriture d'un code VHDL synthétisable.
- Mettre en œuvre les principes et les techniques vus en cours magistral, par l'écriture d'un test-bench de simulation
- Réaliser des tests opérationnels

Description de l'ECUE

- Simulation des circuits logiques :
 - a. Simulation pilotée par les évènements, cycles delta
 - b. Langage VHDL pour la simulation des circuits logiques. Génération de testbenchs. Appropriation de l'outil logiciel Modelsim ;
- Conception des circuits synchrones :
 - a. Machines à états finis : FSM, HLSM
 - b. De l'algorithme au circuit : partitionnement hard/soft
- Une partie des enseignements ci-dessus sera appréhendée via une application concrète : réalisation d'un driver pour matrice de LED.[MOU1]
- Recherche de documentation technique

Prérequis

Algèbre de Boole, circuits logiques combinatoires et séquentiels

Références

- J.F. Wakerly, "Digital design principles and practices", 4th edition, Prentice Hall, 2006.
- S. Brown and Z. Vranesic, "Fundamentals of digital logic with VHDL design", Mc Graw Hill, 2000.
- A. Rushton, "VHDL for logic synthesis", Wiley, 2011.
- R.C. Cofer, B.F. Harding, "Rapid system prototyping with FPGAs", Elsevier, 2006.